

JP2000223439 A

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

SONY CORP

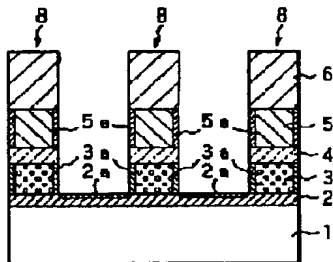
Inventor(s):KAWASHIMA ATSUSHI ;FUKUDA SEIICHI

Application No. 11018745 JP11018745 JP, Filed 19990127,A1 Published

20000811Published 20000811

Abstract: PROBLEM TO BE SOLVED: To see that the high melting point metal used for a gate electrode is not corroded by cleaning with chemicals, by equipping a semiconductor device with the gate electrode including the high melting point metal whose sidewall is nitrided.

SOLUTION: A gate electrode 8 is made on a silicon substrate 1 by dry- etching a silicon nitride film 6, a tungsten film 5, a tungsten nitride film 4, and a polysilicon film 3. Next, a silicon substrate 1 is cleaned in hydrofluoric water to remove polymetal gate etching reaction products adhering to a wafer. Next, a tungsten nitride sidewall protective film 5a is made at the sidewall of this tungsten film 5 by nitriding the exposed face, that is, the sidewall of the tungsten film 5 constituting the gate electrode 8. Next, organic matter adhering to the surface of the wafer is removed by cleaning the silicon substrate 1 in sulfuric acid hydrogen peroxide water mixed solution, Here, since a tungsten nitride film sidewall protective film 5a is made at the the sidewall of the tungsten film 5, the corrosion of the gate electrode 8 does not occur.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-223439
(P2000-223439A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.⁷

H 0 1 L 21/28

識別記号

3 0 1

F I

H 0 1 L 21/28

テレポート (参考)

3 0 1 R 4 M 1 0 4

K

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21) 出願番号

特願平11-18745

(22) 出願日

平成11年1月27日 (1999.1.27)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 川島 淳志

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 福田 誠一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外2名)

最終頁に続く

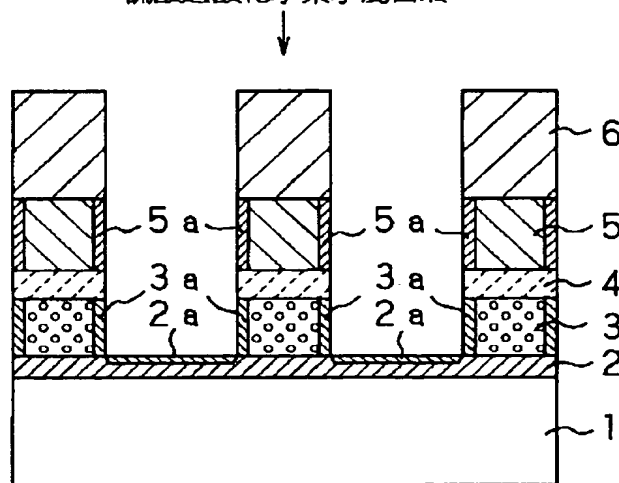
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 薬液洗浄によりゲート電極に用いる高融点金属を腐食させずに半導体装置を製造する。

【解決手段】 ゲート酸化膜2上に、ポリシリコン膜3、窒化タングステン膜4、タングステン膜5を順次成膜した後、エッチングしてゲート電極を形成する。続いて、タングステン膜5を腐食させる溶液による洗浄工程の前に、形成したタングステン膜5の側壁を窒化させて、窒化保護膜5aを形成する。

硫酸過酸化水素水混合液



洗浄工程

【特許請求の範囲】

【請求項 1】 側壁が窒化された高融点金属膜を含むゲート電極を備える半導体装置。

【請求項 2】 上記高融点金属膜は、タングステン膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 高融点金属膜を成膜し、この高融点金属膜を含むゲート電極を形成するゲート電極形成工程と、上記ゲート電極を構成する高融点金属膜の側壁を窒化処理する窒化処理工程とを備える半導体装置の製造方法。

【請求項 4】 上記ゲート電極形成工程は、上記高融点金属膜としてタングステン膜を成膜することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 上記窒化処理工程では、上記高融点金属膜の側壁をプラズマ処理により窒化することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 上記窒化処理工程では、上記高融点金属膜の側壁を熱窒化処理により窒化することを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、ゲート電極に高融点金属を用いた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来より、MOSFET等の半導体装置では、ゲート電極の材料としてポリシリコンが広く用いられていたが、近年の高集積化や高速化に伴い、金属シリサイド膜とポリシリコン膜との2層構造からなるポリサイドゲートや、ポリシリコン膜上にチタンやコバルト等の金属膜を形成してこの金属膜とポリシリコン膜とを反応させて生成したセルフアラインシリサイドゲートが用いられるようになってきた。

【0003】しかしながら、ゲート長が $0.13\mu\text{m}$ 以降の世代のMOSFET等の半導体装置では、これらポリサイドゲートやセルフアラインシリサイドゲートよりも、さらに低抵抗のゲート電極が求められている。

【0004】これらポリサイドゲートやセルフアラインシリサイドゲートよりも低抵抗なゲート電極として、近年、ポリシリコンと反応障壁と金属膜との積層構造からなるポリメタルゲートや、金属膜のみからなるメタルゲートが注目されている。

【0005】ところで、半導体装置の製造プロセスでは、不純物の活性化処理等のため 1000°C 程度の高温の熱処理が不可欠である。そのため、MOSFET等の半導体装置のゲート電極材料としては、この高温の熱処理に耐え得るタングステン等の高融点金属が用いられるのが一般的であり、上述したポリメタルゲートを構成する金属膜にもタングステン等の高融点金属が用いられる。

【0006】以下、ポリメタルゲートのゲート電極を有

する従来の半導体装置の製造プロセスについて図面を参照しながら説明する。

【0007】ポリメタルゲートを適用した半導体装置の製造プロセスでは、まず、図7に示すように、素子分離層（図示せず）が形成されたシリコン基板101上に、ゲート酸化膜102を形成し、導電材料であるポリシリコン膜103、窒化タングステン膜104及びタングステン膜105を順次成膜する。次に、タングステン膜105上に、窒化シリコン膜106を成膜する。次に、窒化シリコン膜106上にフォトレジスト107をパターンニングする。

【0008】続いて、図8に示すように、フォトレジスト107をマスクにして、窒化シリコン膜106をドライエッチングする。

【0009】続いて、図9に示すように、窒化シリコン膜106上のフォトレジスト107をアッシングして除去する。

【0010】続いて、図10に示すように、パターンニングした窒化シリコン膜106をマスクとして、タングステン膜105、窒化タングステン膜104及びポリシリコン膜103をドライエッチングし、ゲート電極108をパターンニングする。

【0011】続いて、シリコン基板1をフッ化水素水により洗浄し、ウェハに付着したポリメタルゲートエッチング反応生成物を除去する。

【0012】続いて、シリコン基板101を硫酸過酸化水素水混合液により洗浄し、ウェハに付着した有機物を除去する。

【0013】続いて、この硝酸過酸化水素水混合液による洗浄処理の以後、不純物拡散領域への低濃度不純物のイオン注入工程、サイドウォールの形成工程、不純物拡散領域への高濃度不純物のイオン注入工程、熱拡散工程、層間絶縁膜の成膜工程等を行い、ポリメタルゲートをゲート電極として採用した半導体装置が完成する。

【0014】以上のように製造した半導体装置は、低抵抗なタングステンをゲート電極の材料として用いるため、信号伝達の大幅な短縮が可能となり、高集積化及び高速化を図ることができる。なお、ポリシリコン膜103とタングステン膜105との間に窒化タングステン膜104を形成しているのは、タングステンが熱処理の際にポリシリコンと反応してシリサイド化するのを回避するためである。

【0015】また、ゲート電極に用いる高融点金属はタングステンに限らず、例えば、チタン、ジルコニウム、ハフニウムや、タンタル、クロム、モリブデン等の他の高融点金属を用いてもよい。

【0016】

【発明が解決しようとする課題】ところで、一般に半導体装置の製造プロセスにおいてはシリコン基板に導入した不純物の拡散のための熱処理をするが、このときウェ

ハの表面や内部にレジストの残留物等があると、ゲート酸化膜の信頼性を低下させ完成した半導体装置の特性を劣化させたり、また、この熱処理時にゲート酸化膜を破壊してしまう可能性がある。そのため、一般に半導体装置の製造プロセスでは、レジスト等の除去を行うため、薬液によるウェハの洗浄工程が熱処理の前工程として行われる。

【0017】しかしながら、その洗浄工程の際に用いる薬液は、ゲート電極に用いた高融点金属と反応する場合がある。この場合、高融点金属が腐食してしまい、ゲート電極の信頼性を低下させる。

【0018】例えば、高融点金属の1つであるタングステンは、洗浄工程で用いられる硫酸、硝酸、塩酸に溶解してしまう。上述した従来の半導体装置の製造プロセスであれば、図11に示すように、タングステン膜105の側壁部分が硫酸過酸化水素水混合液により溶解してしまう。

【0019】なお、タングステンの場合、薬液に対する保護膜として酸化膜を露出面に形成する方法が知られているが、低圧CVDによる窒化シリコンの堆積処理の際にその酸化膜上で窒化シリコン膜が異常成長するという問題があるため（第43回応用物理学関係連合講演会29-N-7, 29a-N-8(1998)）、例えばサイドウォール等を形成するために窒化シリコンを堆積させる工程を有する半導体装置の製造プロセスに適用するのは困難である。

【0020】本発明は、このような実情を鑑みてなされたものであり、信頼性が高く、高集積化や高速化が可能な半導体装置、並びに、薬液洗浄によりゲート電極に用いる高融点金属を腐食させずに、信頼性が高く、高集積化や高速化が可能な半導体装置を製造する半導体装置の製造方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明にかかる半導体装置は、側壁が窒化された高融点金属膜を含むゲート電極を備えることを特徴とする。

【0022】この半導体装置では、洗浄工程における薬液による腐食防止のために、高融点金属膜の側壁が窒化されている。

【0023】上述の課題を解決するために、本発明にかかる半導体装置の製造方法は、高融点金属膜を成膜し、この高融点金属膜を含むゲート電極を形成するゲート電極形成工程と、上記ゲート電極を構成する高融点金属膜の側壁を窒化処理する窒化処理工程とを備える。

【0024】この半導体装置の製造方法では、ゲート電極に高融点金属を用いた半導体装置を製造する。ゲート電極の構造は、高融点金属だけで形成してもよいし、高融点金属と他の導電性材料とで形成してもよい。例えば、この半導体装置の製造方法では、ゲート電極にタングステンをういた半導体装置を製造する。ゲート電極は、タングステンだけで形成してもよいし、また、ポリ

シリコンと窒化タングステンとタングステンとの積層構造としてもよい。

【0025】この半導体装置の製造方法では、上記高融点金属を腐食させる溶液による洗浄工程の前に、形成した高融点金属膜の側壁を窒化させて上記溶液に対する保護膜を形成する。

【0026】窒化処理は、高融点金属膜の露出部分を窒化させることができる処理であればどのような処理であってもよく、例えば、プラズマ処理、熱窒化処理、RTN (Rapid Thermal Nitridation) による窒化処理により行う。

【0027】

【発明の実施の形態】以下、本発明を適用した実施の形態として、ゲート電極にポリメタルゲートを採用したMOS型トランジスタの製造プロセスについて、図面を参照しながら説明する。

【0028】本発明を適用した実施の形態のMOS型トランジスタの製造工程では、まず、図1に示すように、n型又はp型のシリコン基板1上に、シリコン酸化膜による素子分離層（図示せず）を形成して、ゲート電極及び不純物拡散層が設けられる活性領域を形成する。次に、シリコン基板1上の表面を熱処理により酸化させゲート酸化膜2を形成する。次に、シリコン基板1上の全面にポリシリコンを堆積させポリシリコン膜3を成膜する。次に、ポリシリコン膜3上に窒化タングステンを堆積させ窒化タングステン膜4を成膜する。次に、窒化タングステン膜4上にタングステンを堆積させタングステン膜5を成膜する。

【0029】成膜されたポリシリコン膜3、窒化タングステン膜4及びタングステン膜5は、導電性材料であり、後述するようにパターンニングされてゲート電極8となる。

【0030】ここで、タングステンは、従来よりゲート電極に広く用いられているタングステンシリサイドに比べてその比抵抗が約一桁小さい。そのため、このタングステンをゲート電極の材料として用いることにより、半導体装置の信号伝達を大幅に短縮することが可能となり、また、半導体装置の高集積化及び高速化を図ることができる。なお、タングステンは、600°C程度の熱処理でポリシリコンと反応してシリサイド化し抵抗値が高くなってしまふ。そのため、ここでは、ポリシリコン膜3とタングステン膜5との間に、バリア層として窒化タングステン膜4を形成している。また、タングステン膜5に代えて、例えば、チタン、ジルコニウム、ハフニウム、タンタル、クロム、モリブデン等の他の高融点金属を用いてゲート電極の導電性膜を形成してもよい。

【0031】続いて、タングステン膜5上に窒化シリコン膜6を成膜する。この窒化シリコン膜6は、絶縁材料であり、ゲート電極を形成した後にシリコン基板1上に成膜される層間絶縁膜とエッチングの選択比がとられた

材料である。この窒化シリコン膜6は、ソース／ドレイン領域と上部メタル配線層とを接続するためのコンタクトホールを形成する際等のエッチング停止層となる。この窒化シリコン膜6が設けられることにより、コンタクトホール内に埋め込まれる導電材料とゲート電極の上面とを接触しないようにすることができる。

【0032】続いて、窒化シリコン膜6上にフォトリソグラフィと現像処理とによりフォトレジスト7をパターンニングする。

【0033】続いて、図2に示すように、フォトレジスト7をマスクにして、窒化シリコン膜6をドライエッチングする。

【0034】続いて、図3に示すように、窒化シリコン膜6上のフォトレジスト7をアッシングして除去する。

【0035】続いて、図4に示すように、パターンニングした窒化シリコン膜6をマスクとして、タングステン膜5及び窒化タングステン膜4をドライエッチングし、続けて、ポリシリコン膜3をドライエッチングする。

【0036】このように、窒化シリコン膜6、タングステン膜5、窒化タングステン膜4及びポリシリコン膜3をドライエッチングすることにより、ゲート電極8がシリコン基板1上に形成される。

【0037】続いて、シリコン基板1をフッ化水素水により洗浄し、ウェハに付着したポリメタルゲートエッチング反応生成物を除去する。なお、このフッ化水素水は、窒化シリコン、タングステン、窒化タングステン及びポリシリコンとは反応しない。そのため、この洗浄工程においては、ゲート電極8を構成する窒化シリコン膜6、タングステン膜5、窒化タングステン膜4及びポリシリコン膜3が腐食しない。

【0038】続いて、図5に示すように、ゲート電極8を構成するタングステン膜5の露出面すなわち側壁を窒化処理して、このタングステン膜5の側壁に窒化タングステン側壁保護膜5aを形成する。この窒化処理は、タングステン膜5の側壁を窒化させる処理であればどのような処理であってもよい。例えば、プラズマ窒化処理や熱窒化処理等により、タングステン膜5の側壁を窒化させる。

【0039】プラズマ窒化処理とは、窒素が含まれた雰囲気中でプラズマを発生させ、タングステンの側壁を窒化させる処理である。例えば、プラズマ窒化処理では、アンモニアの雰囲気中にプラズマを発生させ、タングステンの側壁を窒化させる。

【0040】また、熱窒化処理とは、窒素が含まれた雰囲気中でウェハを加熱することによりタングステンの側壁を窒化させる処理である。例えば、アンモニア雰囲気の熱せられた炉内にウェハを挿入し、この挿入したウェハを所定時間加熱してタングステンの側壁を窒化させる。また、ランプ加熱によりウェハを急速に加熱するRTN処理(Rapid Thermal Nitridation)による熱窒化

処理を用いて、タングステンの側壁を窒化させてもよい。

【0041】なお、この窒化処理は、タングステンを選択的に窒化する条件で行ってもよいし、図5に示したように、タングステン膜5とともにゲート酸化膜2及びポリシリコン膜3に対しても行い、ゲート酸化膜2の表面にゲート窒化酸化膜2a及びポリシリコン膜3の表面に窒化シリコン膜3aを形成してもよい。

【0042】続いて、シリコン基板1を硫酸過酸化水素水混合液により洗浄し、ウェハの表面に付着した有機物を除去する。ここで、この硫酸過酸化水素水混合液を用いてシリコン基板1を洗浄することにより、ドライエッチング装置内に残留したフォトレジスト(有機物)が付着していても、この付着した有機物を除去することができる。また、この硫酸過酸化水素水混合液はタングステンを溶解するが、上述のようにタングステン膜5の側壁には窒化タングステン側壁保護膜5aが形成されているので、ゲート電極8の腐食が生じない。

【0043】続いて、この硝酸過酸化水素水混合液による洗浄処理の後、不純物拡散領域への低濃度不純物のイオン注入工程、サイドウォールの形成工程、不純物拡散領域への高濃度不純物のイオン注入工程、不純物の拡散工程、層間絶縁膜の成膜工程等を行って、MOS型トランジスタが完成する。

【0044】以上のように本発明を適用した実施の形態では、ゲート電極にポリメタルゲートを採用し、高速化及び微細化を図ったMOS型トランジスタを製造することができる。

【0045】また、本発明の実施の形態のMOS型トランジスタの製造プロセスによれば、ゲート電極を構成する高融点金属膜であるタングステン膜5の側壁に対して窒化処理を行い、窒化タングステン側壁保護膜5aを形成する。このため、有機物を除去するためにシリコン基板を洗浄する際、この窒化処理された窒化タングステン側壁保護膜5aが保護膜となり、硫酸過酸化水素水混合液による高融点金属膜の腐食を防ぐことができ、製造したMOS型トランジスタの信頼性を向上させることができる。

【0046】また、通常、MOS型トランジスタの製造プロセスにおいては、例えばゲート電極8のサイドウォールの形成等の際に、低圧CVDによる窒化シリコンの堆積処理がされる。しかしながら、このタングステン膜5の側壁に形成した窒化タングステン側壁保護膜5a上では、酸化タングステン上の場合と異なり、この窒化シリコンの堆積の際に異常成長を起こさない。

【0047】

【実施例】次に、ゲート電極にポリメタルゲートを採用したMOS型トランジスタの製造プロセスの実施例を、具体的な実験例に基づいて説明する。

【0048】第1の実施例

まず、ゲート電極にポリメタルゲートを採用したMOS型トランジスタの製造プロセスの第1の実施例を説明する。この第1の実施例は、タングステン膜の窒化処理に NH_3 プラズマ処理を用いた例である。

【0049】シリコン酸化膜による素子分離層が形成されたシリコン基板1上に、膜厚2.5nmのゲート酸化膜2を形成した。次に、シリコン基板1上の全面に膜厚100nmのポリシリコン膜3を成膜した。次に、ポリシリコン膜3上に膜厚5nmの窒化タングステン膜4を成膜した。次に、窒化タングステン膜4上に膜厚100nmのタングステン膜5を成膜した。続いて、タングステン膜5上に膜厚150nmの窒化シリコン膜6を成膜した。

【0050】続いて、窒化シリコン膜6上にフォトレジスト7をパターンニングした。

【0051】続いて、フォトレジスト7をマスクにして、窒化シリコン膜6をドライエッチングした。このときのエッチング条件は条件は以下のとおりである。

【0052】

窒化シリコン膜6のドライエッチング条件

ガス流量 : CF_4 (100 sccm)

: Ar (1000 sccm)

温度 : 30° C

高周波 : 13.56 MHz 出力 : 1000 W

圧力 : 133 Pa

【0053】続いて、窒化シリコン膜6上のフォトレジ

タングステン膜5、窒化タングステン膜4のドライエッチング条件

ガス流量 : CF_4 (30 sccm)

: O_2 (10 sccm)

温度 : 30° C

マイクロ波 : 2.45 GHz 出力 : 800 W

基板バイアス高周波 : 400 kHz 出力 : 30 W

圧力 : 0.4 Pa

【0057】

ポリシリコン膜3のドライエッチング条件

ガス流量 : Cl_2 (30 sccm)

: O_2 (5 sccm)

: HBr (90 sccm)

温度 : 30° C

マイクロ波 : 2.45 GHz 出力 : 400 W

基板バイアス高周波 : 400 kHz 出力 : 25 W

圧力 : 0.5 Pa

【0058】続いて、シリコン基板1をフッ化水素水により洗浄し、付着したポリメタルゲートエッチング反応生成物を除去した。このときの洗浄条件は以下のとおりである。

【0059】洗浄条件

薬液 : 0.5% HF

NH_3 プラズマ処理条件

ガス流量 : NH_3 (100 sccm)

スト7をアッシングして除去した。このときのアッシングの条件は以下のとおりである。

【0054】

フォトレジスト7のアッシング条件

ガス流量 : CHF_3 (50 sccm)

: O_2 (1000 sccm)

温度 : 100° C

マイクロ波 : 2.45 GHz 出力 : 400 W

圧力 : 100 Pa

【0055】続いて、パターンニングした窒化シリコン膜6をマスクとして、タングステン膜5及び窒化タングステン膜4をドライエッチングし、続けて、ポリシリコン膜3をドライエッチングし、ゲート電極8をパターンニングした。このときのエッチング条件は以下のとおりである。

【0056】

温度 : 25° C

【0060】続いて、 NH_3 プラズマ処理を行い、タングステン膜5、ポリシリコン膜3、ゲート酸化膜2の露出している面を窒化処理した。このときの NH_3 プラズマ処理の条件は以下のとおりである。

【0061】

: Ar (200 sccm)
 温度 : 100° C
 マイクロ波 : 2.45 GHz 出力 : 2.0 kW
 圧力 : 2.0 Pa

【0062】このNH₃プラズマ処理の結果、タングステン膜5の側壁には窒化タングステン側壁保護膜5aが形成され、ポリシリコン膜3の表面には側壁には窒化シリコン膜3aが形成され、ゲート酸化膜2の上面にはゲート窒化酸化膜2aが形成された。

【0063】続いて、シリコン基板1を硫酸過酸化水素水混合液により洗浄し、基板に付着した有機物を除去した。このときの洗浄条件は以下のとおりである。

【0064】洗浄条件

薬液 : HNO₃
 温度 : 25° C

【0065】続いて、この硝酸過酸化水素水混合液による洗浄処理の後、不純物拡散領域への低濃度不純物のイオン注入工程、サイドウォールの形成工程、不純物拡散領域への高濃度不純物のイオン注入工程、不純物の拡散工程、層間絶縁膜の成膜工程等を行って、MOS型トランジスタを製造した。

【0066】以上のような第1の実施例では、硫酸過酸化水素水混合液を用いてシリコン基板1を洗浄した際にタングステン膜5が溶解しなかった。

【0067】また、窒化タングステン側壁保護膜5aの形成の後のシリコン基板1上に以下の条件で窒化シリコンを成膜したが、その窒化シリコン膜は異常成長を起こさなかった。

【0068】

窒化シリコン成膜条件

ガス流量 : SiH₄Cl₂ (90 sccm)
 : NH₃ (600 sccm)
 温度 : 760° C
 圧力 : 53 Pa

【0069】第2の実施例

つぎに、ゲート電極にポリメタルゲートを採用したMOS型トランジスタの製造プロセスの第2の実施例を説明する。この第2の実施例は、タングステン膜の窒化処理に熱窒化処理を用いた例である。

【0070】この第2の実施例では、シリコン基板1をフッ化水素水により洗浄し、付着したポリメタルゲートエッチング反応生成物を除去するまで、上述した第1の実施例と同一の処理を行った。

【0071】続いて、NH₃ガス雰囲気有する熱せられた炉内にウェハを入れ、タングステン膜5、ポリシリコン膜3、ゲート酸化膜2の露出している面を窒化処理した。このときの条件は以下のとおりである。

【0072】熱窒化処理条件

ガス流量 : NH₃ 2 s l m
 温度 : 800° C

圧力 : 101 kPa

【0073】この熱窒化処理の結果、タングステン膜5の側壁には窒化タングステン側壁保護膜5aが形成され、ポリシリコン膜3の表面には側壁には窒化シリコン膜3aが形成され、ゲート酸化膜2の上面にはゲート窒化酸化膜2aが形成された。

【0074】続いて、シリコン基板1を硫酸過酸化水素水混合液により洗浄し、基板に付着した有機物を除去した。このときの洗浄条件は以下のとおりである。

【0075】洗浄条件

薬液 : HNO₃
 温度 : 25° C

【0076】続いて、この硝酸過酸化水素水混合液による洗浄処理の後、不純物拡散領域への低濃度不純物のイオン注入工程、サイドウォールの形成工程、不純物拡散領域への高濃度不純物のイオン注入工程、不純物の拡散工程、層間絶縁膜の成膜工程等を行って、MOS型トランジスタを製造した。

【0077】以上のような第2の実施例では、硫酸過酸化水素水混合液を用いてシリコン基板1を洗浄した際にタングステン膜5が溶解しなかった。

【0078】また、窒化タングステン側壁保護膜5aの形成の後のシリコン基板1上に第1の実施例と同一の条件で窒化シリコンを成膜したが、その窒化シリコン膜は異常成長を起こさなかった。

【0079】第3の実施例

つぎに、ゲート電極にポリメタルゲートを採用したMOS型トランジスタの製造プロセスの第3の実施例を説明する。この第2の実施例は、タングステン膜の窒化処理にRTNによる熱窒化処理を用いた例である。

【0080】この第3の実施例では、シリコン基板1をフッ化水素水により洗浄し、付着したポリメタルゲートエッチング反応生成物を除去するまで、上述した第1の実施例と同一の処理を行った。

【0081】続いて、RTN処理により、ウェハをランブ加熱して、タングステン膜5、ポリシリコン膜3、ゲート酸化膜2の露出している面を窒化処理した。このRTNによる窒化処理では、短時間で熱処理ができるため、熱履歴が小さくなり、シリコン基板1やゲート電極に導入された不純物の拡散を抑えることができる。このときの条件は以下のとおりである。

【0082】RTNによる処理条件

熱窒化処理条件

ガス流量 : NH₃ 2 s l m
 温度 : 800° C
 圧力 : 101 kPa

【0083】このRTNによる熱処理の結果、タングステン膜5の側壁には窒化タングステン側壁保護膜5aが形成され、ポリシリコン膜3の表面には側壁には窒化シリコン膜3aが形成され、ゲート酸化膜2の上面にはゲート窒化酸化膜2aが形成された。

【0084】続いて、シリコン基板1を硫酸過酸化水素水混合液により洗浄し、基板に付着した有機物を除去した。このときの洗浄条件は以下のとおりである。

【0085】洗浄条件

薬液 : HNO_3

温度 : 25°C

【0086】続いて、この硝酸過酸化水素水混合液による洗浄処理の後、不純物拡散領域への低濃度不純物のイオン注入工程、サイドウォールの形成工程、不純物拡散領域への高濃度不純物のイオン注入工程、不純物の拡散工程、層間絶縁膜の成膜工程等を行って、MOS型トランジスタを製造した。

【0087】以上のような第3の実施例では、硫酸過酸化水素水混合液を用いてシリコン基板1を洗浄した際にタングステン膜5が溶解しなかった。

【0088】また、窒化タングステン側壁保護膜5aの形成の後のシリコン基板1上に第1の実施例と同一の条件で窒化シリコンを成膜したが、その窒化シリコン膜は異常成長を起こさなかった。

【0089】

【発明の効果】また、本発明にかかる半導体装置では、高融点金属膜の側壁が窒化されているので、ゲート電極が腐食せず、高い信頼性を得ることができ、高速化及び高集積化が図れている。

【0090】本発明にかかる半導体装置の製造方法では、上記高融点金属を腐食させる溶液による洗浄工程の前に、形成した高融点金属膜の側壁を窒化させて上記溶液に対する保護膜を形成する。

【0091】このことにより、本発明にかかる半導体装置の製造方法では、有機物を除去等するための洗浄時において、ゲート電極を構成する高融点金属の腐食を防ぐことができ、製造した半導体装置の信頼性を向上させることができるとともに、高速化や高集積化を図ることが

できる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の製造方法において、シリコン基板上に、ゲート電極を構成する材料を積層し、その上にゲート電極をパターニングするためのフォトレジストを形成した状態を示す模式的な断面図である。

【図2】図1の窒化シリコンをエッチングした状態を示す模式的な断面図である。

【図3】図2のフォトレジストを除去した状態を示す模式的な断面図である。

【図4】図3のタングステン膜、窒化タングステン膜、ポリシリコン膜をエッチングした状態を示す模式的な断面図である。

【図5】図4のタングステン膜の側壁を窒化させ窒化タングステン側壁保護膜を形成した状態を示す模式的な断面図である。

【図6】図5のシリコン基板を硫酸過酸化水素水混合液で洗浄した状態を示す模式的な断面図である。

【図7】従来の半導体装置の製造方法において、シリコン基板上に、ゲート電極を構成する材料を積層し、その上にゲート電極をパターニングするためのフォトレジストを形成した状態を示す模式的な断面図である。

【図8】図7の窒化シリコンをエッチングした状態を示す模式的な断面図である。

【図9】図8のフォトレジストを除去した状態を示す模式的な断面図である。

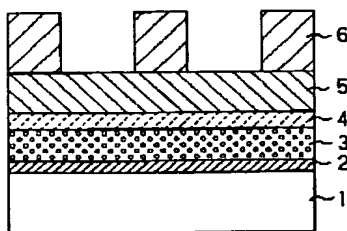
【図10】図9のタングステン膜、窒化タングステン膜、ポリシリコン膜をエッチングした状態を示す模式的な断面図である。

【図11】図10のシリコン基板を硫酸過酸化水素水混合液で洗浄した状態を示す模式的な断面図である。

【符号の説明】

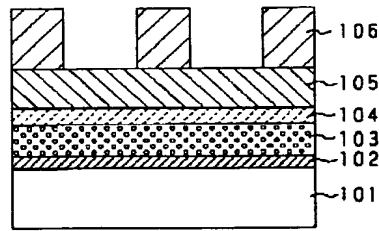
1 シリコン基板、2 ゲート酸化膜、3 ポリシリコン膜、4 窒化タングステン膜、5 タングステン膜、5a 窒化タングステン側壁保護膜、6 窒化シリコン膜、7 フォトレジスト、8 ゲート電極

【図3】



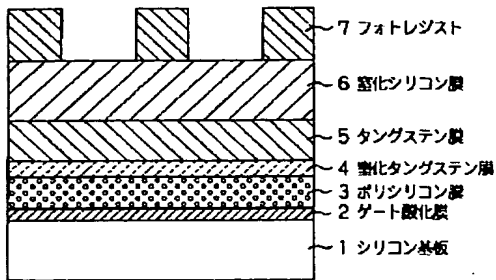
フォトレジストの除去工程

【図9】



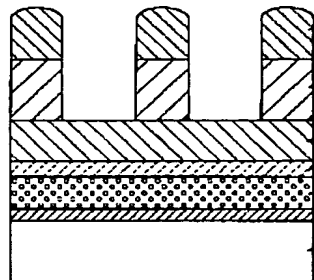
フォトレジストの除去工程

【図 1】



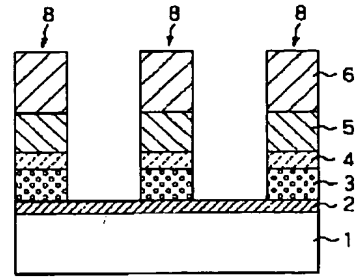
ゲート電極材料の成膜工程

【図 2】



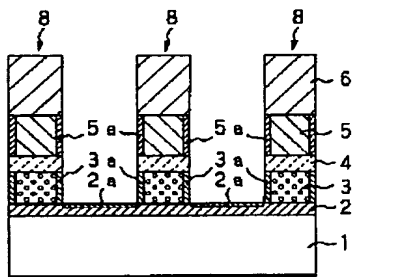
窒化シリコン膜の除去工程

【図 4】



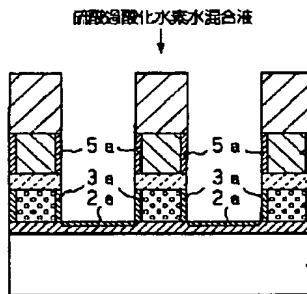
ゲート電極の形成工程

【図 5】



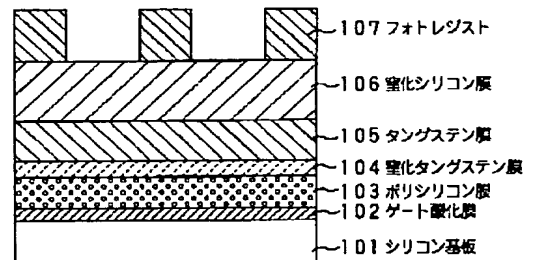
窒化処理 2 a: ゲート窒化酸化膜
3 a: 窒化シリコン膜
5 a: 窒化タングステン
側壁保護膜

【図 6】



洗浄工程

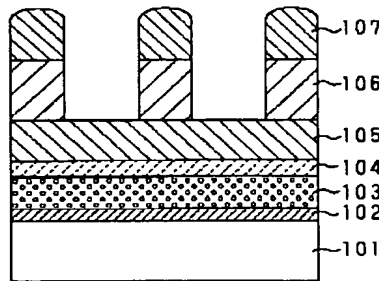
【図 7】



ゲート電極材料の成膜工程

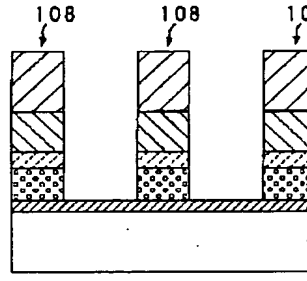
【図 11】

【図 8】



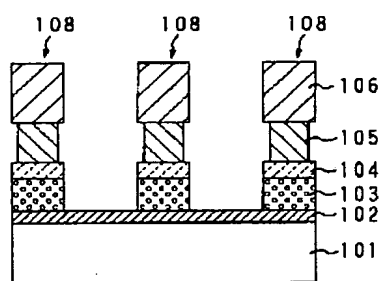
窒化シリコン膜の除去工程

【図 10】



ゲート電極の形成工程

硫酸過酸化水素水混合液



フロントページの続き

F ターム(参考) 4M104 BB01 BB13 BB14 BB16 BB17
BB18 BB33 DD04 DD06 DD09
DD44 DD65 DD67 DD72 DD79
DD86 DD89 DD91 EE03 EE17
FF13 FF18 GG14 HH16